

AD18H01AC

用户手册

版本号: V2.0

版权所有©
西安恩狄集成电路有限公司

本资料内容为西安恩狄集成电路有限公司在现有数据资料基础上编制而成，本资料中所记载的实例以正确的试用方法和标准操作为前提，使用方在应用该等实例时应充分考虑外部诸条件，西安恩狄集成电路有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，西安恩狄集成电路有限公司亦不对使用方使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。文档中所有涉及到第三方软件的，请自行购买正版软件，因第三方软件版权问题涉及到的一切后果，与西安恩狄集成电路有限公司无关。基于使本资料的内容更加完善等原因，西安恩狄集成电路有限公司保留未经预告的修改权。

西安恩狄集成电路有限公司
地 址：陕西省西安市高新区高新一路 19 号思安大厦 501
电 话：+ (86 29) 88322766 网 站：www.admicrochip.com
微信号：恩狄 ADUC



AD18H01 用户手册

西安恩狄集成电路有限公司推出了 AD18H01 系列快充协议 IC，此系列包括电源协议 IC、Sink 协议 IC 以及 E-Marker 协议 IC，全面覆盖 PD 快充产业，为用户提供高效、稳定、系列化产品。

高集成度，多协议的电源快充 IC，以 PD 协议为主，以各大手机厂商的私有协议为辅，西安恩狄集成电路有限公司的 AD18H01 系列芯片集成了 TypeC PD2.0/PD3.0/PPS, QC2/QC3/QC3+, FCP, SCP, AFC, Apple 2.4, BC1.2 等快充协议。其中 AD18H01D 已经取得 USB-IF 的 PD 认证。

AD18H01 系列不仅集成了多种快充协议，并且通过对快充市场的整合创新，建立了完善的协议功能体系，PD 协议支持多重 PDO 特殊配置，全功率兼容范围 18W~65W，为客制化提供方便快捷的调配方式。

AD18H01 电源协议芯片还实现了功率分配、电压调节、恒功率调节、线材补偿、多 C 模式、A+C 模式等多种特殊功能供您选型。同时芯片增加多重保护机制，包括过流保护，DP/DM 保护，CC 保护，短路保护，温度保护等，为芯片健康保驾护航。

我们诚挚期待与您的合作！

目录

1 选型参考.....	5
1.1 协议 IC.....	5
1.2 E-Marker.....	5
1.3 Sink IC.....	5
2 特性.....	6
3 简介.....	6
4 应用.....	6
5 引脚定义.....	7
6 订购信息.....	8
7 典型应用原理图.....	9
7.1 双采样电阻应用原理图.....	9
7.2 单采样电阻应用原理图.....	9
8 引脚功能描述.....	11
9 功能描述.....	12
9.1 DP/DM 快充协议.....	12
9.2 PD 快充协议.....	12
9.3 5V 共享模式 (5V ShareMode).....	12
9.4 RPDO 功能表.....	13
9.5 线损补偿.....	13
9.6 OCP 保护及恒功率.....	14
9.7 FB 分压电阻调节.....	14
9.8 CC/DP/DM 保护.....	15
9.9 功率路径控制.....	15
9.10 过压保护.....	15
10 布板建议.....	16
10.1 选型.....	16
10.2 布板建议.....	16
11 参数.....	17
11.1 极限工作参数.....	17
11.1.1 AD18H01ACR16.....	17
11.1.2 AD18H01ACQ16.....	17
11.2 ESD 性能.....	18
11.3 电气特性.....	18
12 封装.....	20

12.1 CPC16(4.6X2.6X0.95-0.53)	20
12.2 QFN16(04X04X0.75-0.65).....	21

1 选型参考

1.1 协议 IC

	QC3.0	FCP	SCP	AFC	PD3.0	PPS	A+C	VBUS	Package
AD18H01D	✓	✓	✓	✓	✓	✓		3.3V~24V	QFN16 (04×04×0.75-0.65)
									SOP8 (4.9×3.9×1.45-1.27)
AD18H01AC	✓	✓	✓	✓	✓	✓	✓	3.3V~24V	QFN16 (04×04×0.75-0.65)
									CPC16 (4.6×2.6×0.95-0.53)
AD18H01CC	✓	✓	✓	✓	✓	✓		3.3V~24V	QFN24 (4×4×0.75-0.50)

1.2 E-Marker

	PD3.0	Type-C Specs	Write-Times	ESD	VBUS	Package
AD18H01E	✓	V1.4	OTP	±2Kv	3.3v~24v	DFN8 (3×2×0.75-0.5)

1.3 Sink IC

	PD3.0	Type-C Specs	Program Methods	VBUS	Package
AD18H01S	✓	V1.4	Resistance	3.3v~24v	CPC-8 (2.6X2.6X0.95-0.53)
AD18H01S	✓	V1.4	I ² C	3.3v~24v	DFN-10 (3X3-0.5)

AD18H01AC 用于 A+C 双口快充 IC

TypeC PD2.0/PD3.0/PPS, QC2/QC3/QC3+, FCP, SCP, AFC, Apple 2.4, BC1.2

2 特性

- **USB-C 快充规格**
 - 集成 USB PD2.0/ PD3.0 协议
 - 集成 PD PPS 协议
- **USB-A 快充规格**
 - 集成 QC2.0/QC3.0/QC3.0+ 输出快充协议
 - 集成 FCP 输出快充协议
 - 集成 SCP 输出快充协议
 - 集成 AFC 输出快充协议
 - 集成 Type-C DFP 协议，支持输出快充
 - 兼容 BC1.2、苹果设备输出快充协议
- **搭配 AD18H01D 完美实现 2C+1A 组态**
- **电源管理**
 - 内置自动控制泄放电路功能
 - 支持自动进入低功耗待机模式
- **多重保护，可靠稳定**
 - 输出过压、过流、短路保护
 - DP/DM/CC1/CC2 支持 24V 高耐压
 - 支持动态功率调配
- **灵活定制，支持在线升级**
 - 5V 共享模式
 - 支持 RPDO 定制个性化 PDO
 - 多路电流检测功能，支持端口拓展
 - 完美支持各种 C-Lighting 线材
 - 智能 A 口、C 口插入和脱离识别
- **工作电压范围：3.3V ~ 24V**

3 简介

18H01AC 是一款集成多协议，可以用于 Type-C/USB-A 端口的快充协议 IC。芯片以 PD 协议为主，并包括其它如：QC/FCP/SCP/AFC/BC1.2 等协议。为适配器、车充等单向充电的输出应用提供了完整的解决方案。

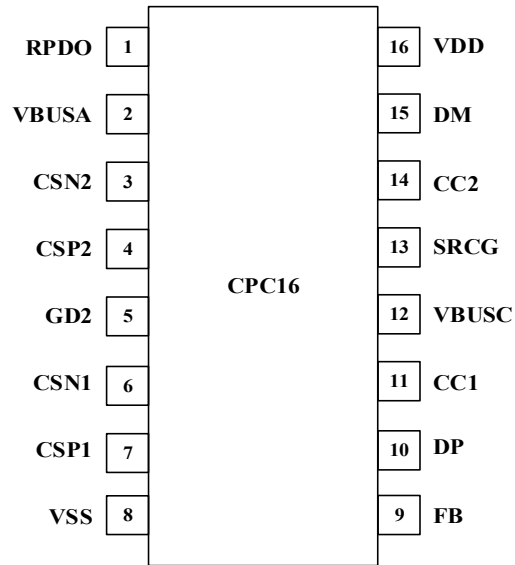
18H01AC 具有高集成度，功能丰富的特点，针对 PD 协议，推出定制化、多样化的方案，在应用过程中，仅需少量外围器件，就可完成设计，有效减小整体方案的尺寸，降低成本。

4 应用

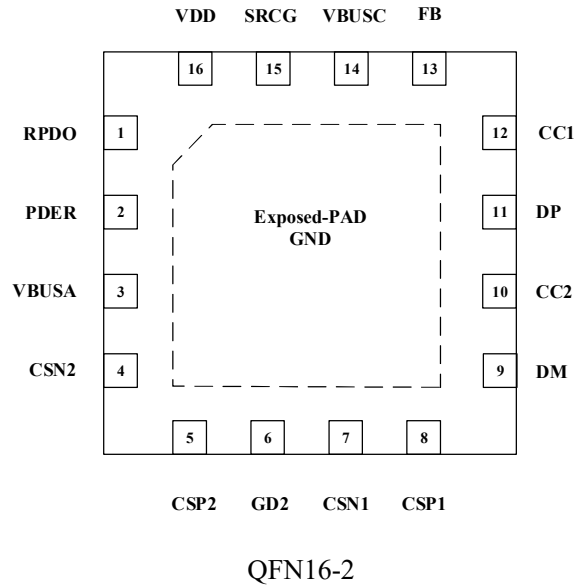
- 适用于单向快充输出产品
- 旅充
- 车充
- 需要 PD 输出功能的应用
- GaN 充电器
- 多口功率分配充电器
- **1C+1A 的应用**

5 引脚定义

R 封装 CPC16



Q 封装 QFN16



6 订购信息

丝印信息

ADUC的快充芯片表面印有三栏信息：商标，快充芯片全称和日期码。

ADUC Logo	
Product Name	18H01AC Product Name
Date Code	3 14 1 Year Week SeriesNo Year: 2: 2022; 3: 2023 Week: 01:第1周; 23:第23周 SeriesNo: 序列号0-Z, 1:当前周别第2个工单

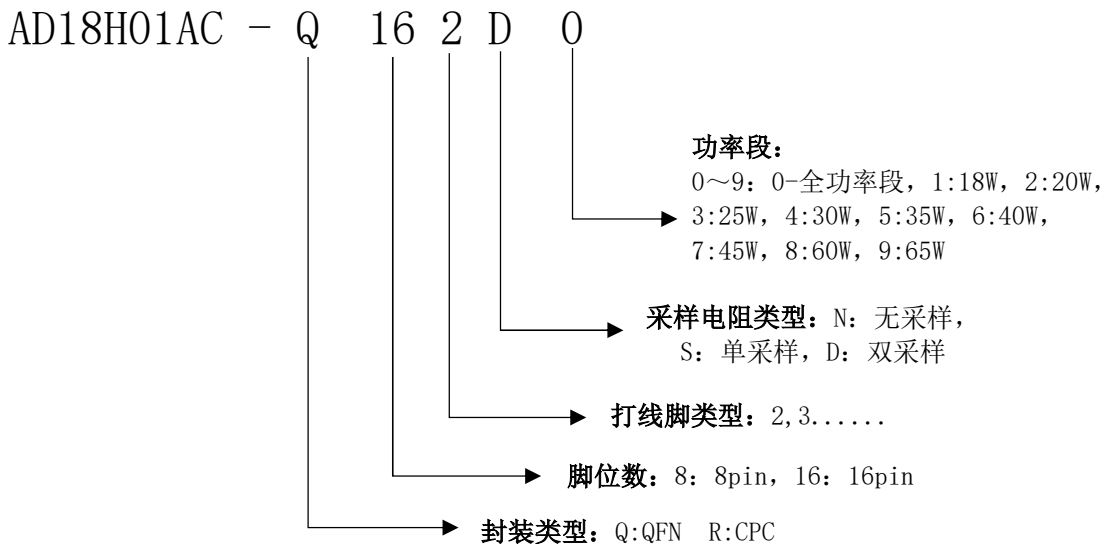
标签信息

货品内外包装上粘贴的标签上包含：产品名称，封装信息，芯片批号，丝印信息，出货日期及包装数量。

产品名称	Part No: AD18H01ACQ16-2S0
封装信息	Package: QFN16-2
芯片批号	Lot No: R2H400820
丝印信息	Marking: AD18H01AC 1141
出货日期	Date: 2022-01-14
包装数量	QTY: n*5000

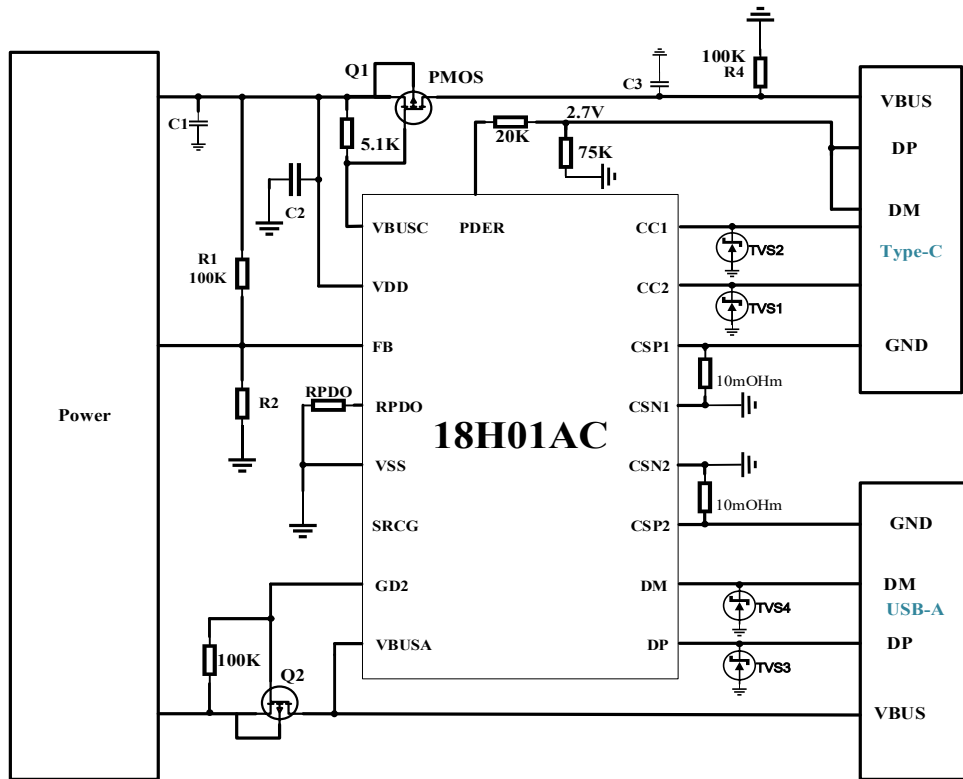
采购信息

AD18H01AC			
产品名称	封装类型	工作温度	包装方式及数量
AD18H01ACR16-S0	CPC16, 绿色封装	-40~85℃	Tape & Reel 5000/reel
AD18H01ACR16-D0	CPC16, 绿色封装	-40~85℃	Tape & Reel 5000/reel
AD18H01ACQ16-2S0	QFN16-2, 绿色封装	-40~85℃	Tape & Reel 5000/reel
AD18H01ACQ16-2D0	QFN16-2, 绿色封装	-40~85℃	Tape & Reel 5000/reel

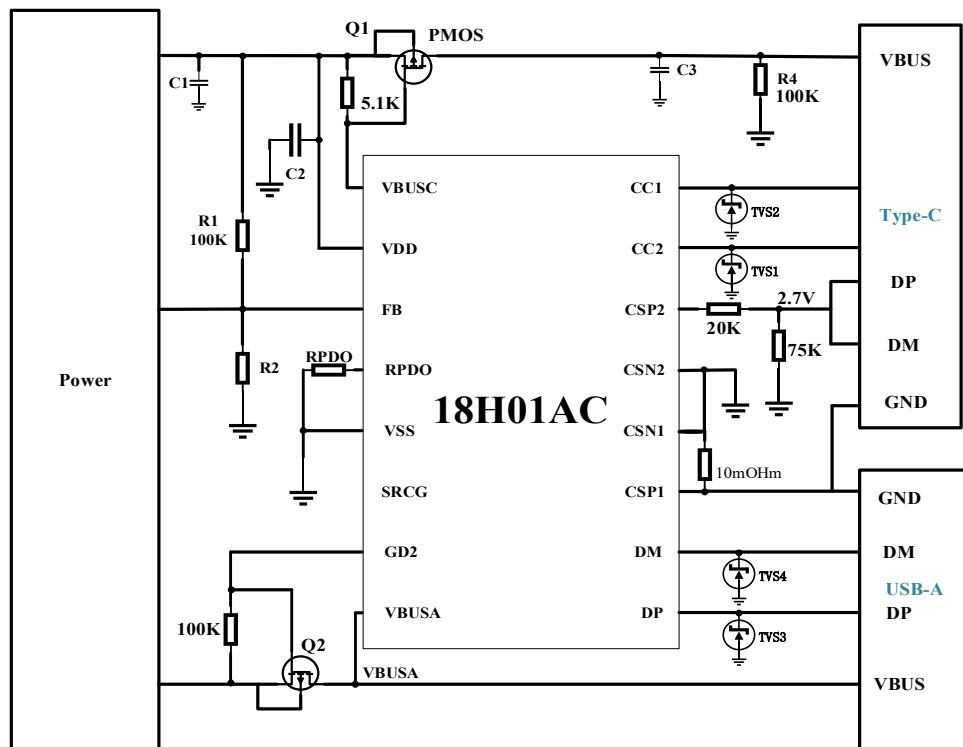


7 典型应用原理图

7.1 双采样电阻应用原理图



7.2 单采样电阻应用原理图



- R1 推荐选用 100KOhm (1%)，R2 依据电源芯片的值进行调配
- SRCG 引脚保持悬空
- Q1 和 Q2 推荐使用 V_{ds} 在 30V 以上，驱动耐受电压大于 24V 的 PMOS 功率管
- Q2 上拉电阻为 100K，Q1 上拉电阻为 5.1K，VBUSC 输出需加 100K 电阻 R4
- RPDO 的电阻值依据 PDO 表详情进行选择配置，建议 1%或更高精度电阻
- C2 建议使用 10uF，电路中的其他电容依据实际电路进行选择，Q2 到 UAB-A 口之间请不要接电容
- 采样电阻限制为 10mohm (1%)，温漂不大于 100ppm/°C，建议使用合金采样电阻
- TVS1~TVS4 建议采用截止电压(V_{rwm})大于 24V 的 TVS 管
- 如果 Type-C 输出 20V，则 VBUSA 对地需加 7.5K 下拉电阻

注意：CPC16 封装无 PDER 管脚，在双采样电阻应用时 C 口无 DP/DM 的 2.7V

8 引脚功能描述

引脚名称	引脚编号		引脚功能
	QFN16-2	CPC16	
RPDO	1	1	外接电阻，依据不同的电阻值可以配置不同的 PDO 能力包
PDER	2	-	此管脚可以配合电阻输出 2.7V，用于实现 C 口的 APPLE 2.4A 快充
VBUSA	3	2	VBUS-A 电压检测引脚
CSN2	4	3	电流采集的负端，不使用时需要接地
CSP2	5	4	电流采集的正端，不使用时需要接地 单采样应用时，用于 C 口 2.7V 输出
GD2	6	5	VBUSA 的外部负载开关(PMOS)的栅极驱动器
CSN1	7	6	电流采集的负端
CSP1	8	7	电流采集的正端
DM	9	15	连接 USB-A 的 DM 引脚
CC2	10	14	Type-C 的检测引脚 CC2
DP	11	10	连接 USB-A 的 DP 引脚
CC1	12	11	Type-C 的检测引脚 CC1
FB	13	9	反馈电路输入端，连接至外部电源考输入端，以设定输出电压
VBUSC	14	12	VBUSC 的外部负载开关(PMOS)的栅极驱动器
SRCG	15	13	SRCG 引脚保持悬空
VDD	16	16	IC 的供电引脚，需要外接 10uF 电容
VSS	-	8	芯片的 GND
GND	17(EPAD)	-	功率地和散热地，需要与 GND 保持良好接触

9 功能描述

AD18H01AC 具备的功能包括协议、特殊功能、保护机制三个方面。

9.1 DP/DM 快充协议

- 自动检测 DP/DM 的插入拔出状态
- 快充协议 (QC2.0/3.0/3.0+)
- FCP & SCP
- AFC
- BC1.2、APPLE 2.4A 模式

9.2 PD 快充协议

- 自动检测插入和拔出状态
- PD2.0 / PD3.0
- PPS

9.3 5V 共享模式 (5V ShareMode)

当 USB-A 和 Type-C 口都插入了设备, 会启动 5V 共享模式, USB-A 和 Type-C 上输出共享 5V 的电压, USB-A 口支持苹果模式/BC1.2, Type-C 口输出 5V PDO。

当插入第二个设备时, 会同时断开 USB-A 和 Type-C 口的 VBUS, VBUS 切换到 4.7V 并打开, 并且电压从 4.7V 逐渐升高到 5V 并最终稳定在 5V, 这样保证瞬间电流不会过大导致保护(RPDO 设置 0 或 OPEN); 当 RPDO 选择为 330R, 18K, 1K, 4.7K, 10K 及 15K, 表示前级具备恒流功能或者前级功率足够, 插入第二个设备时, 会同时断开 USB-A 和 Type-C, VBUS 切换到 5V 并打开输出。

当 USB-A 口的设备电流小于约 20mA, 会再次关断 USB-A 口的 VBUS 并保持关闭状态, 直到 USB-A 口有拔插动作。

双采样电阻应用方案中, 当 USB-A 的设备拔除后, C 口的设备会在 5s~8s 内掉电后重新恢复快充状态, 5s~8s 的检测时间, 用于检测设备是否真的拔除, 防止误判断。而 Type-C 上的设备拔除后, 设备会在 2S 内就恢复 USB-A 的设备快充状态。

单采样电阻应用方案中, USB-A 的设备拔出后不会检测设备是否拔出, 只有 Type-C 上的设备拔出后 USB-A 的设备才恢复快充。Type-C 上的设备拔除后, 设备会在 2S 内就恢复 USB-A 设备的快充状态。

9.4 RPDO 功能表

AD18H01AC 的 RPDO 管脚可以输出 100uA 档位的电流，RPDO 输出电流，通过外接电阻值可以转换为电压，通过 ADC 采集后可以按照设定功率表格输出功率。

RPDO 需要选择精度为 1% 的电阻。

RPDO 阻值 (Ω)	Power	PDO							NOTE
		5V	7V	9V	12V	15V	20V	PPS	
0	20W(OCP3.4A)	3A		2.22A	1.67A			3.3-5.9V(3A) 3.3-11V(2A)	
330	20W(前级恒流)	3A		2.22A	1.67A			3.3-5.9V(3A) 3.3-11V(2A)	
OPEN	25W(OCP3.4A)	3A	3A	2.77A	2.08A			3.3-5.9V(3A) 3.3-11V(2.25A)	
18K	25W(前级恒流)	3A	3A	2.77A	2.08A			3.3-5.9V(3A) 3.3-11V(2.25A)	
1K	30W	3A		3A	2.5A			3.3-11V(3A)	
4.7K	30W	3A		3A	2.5A	2A	1.5A	3.3-11V(3A) 3.3-21V(1.5A)	
10K	45W	3A		3A	3A	3A	2.25A	3.3-11V(3A) 3.3-21V(2.25A)	
15K	65W	3A		3A	3A	3A	3.25A	3.3-11V(3A) 3.3-21V(3.25A)	

- RPDO 管脚配置不同的电阻，可以选择内部的 PDO 功率和 PDO 数量。
- 当需要 VBUS 具备输出 12V 以上电压，电路需要一定修改，请联系本公司技术人员。
- RPDO 同时影响过流保护，恒功率及 QC 协议的最大电压。过流保护及恒功率见 7.6 描述。
- 为保证 Type-C 及 USB-A 同时插入设备，双口总电流过大不会断充，在双口同时插入设备后，会先降低电压再缓慢升高，以保证恒流功能的正常工作(RPDO 为 0 或者 OPEN)。如前级集成恒流功能，20W/25W 可选择 330R/18K 电阻来屏蔽此功能。

9.5 线损补偿

线材补偿的机制为：当电流每增加或减少 1A，那么电压则相应增大或者减小 60mV。此功能在 PD 固定电压/BC1.2/QC/FCP/AFC/Apple Mode 协议生效。全电压段都会进行线补，补偿上限 300mV。

9.6 OCP 保护及恒功率

OCP 对 Type-C 及 USB-A 的电流分别进行保护。无协议发生时保护点为 3.6A(25W 及以下最大 3.4A)。当 PD 协议握手后，OCP 点读取当前建立的 PDO 的电流值，进行 120%的电流限流保护(25W 及以下最大 3.4A)。QC2.0/QC3.0/FCP/AFC 按照：RPDO 设定功率/当前电压*120%的上限保护（USB-A 最大 25W，18W/25W 两档），BC1.2 按照 3.6A 保护(25W 及以下最大 3.4A)，SCP 按照 3.4A/3.6A/4.3A 保护。如下图：

协议	BC1.2	QC2.0/3.0	FCP	SCP	AFC	PD
过流保护	≤25W: 3.4A ≥30W: 3.6A	RPDO 设定功率/当前电压*120%	RPDO 设定功率/当前电压*120%	≤25W: 3.4A 30W: 3.6A ≥45W: 4.3A	RPDO 设定功率/当前电压*120%	PDO 声明值*120%

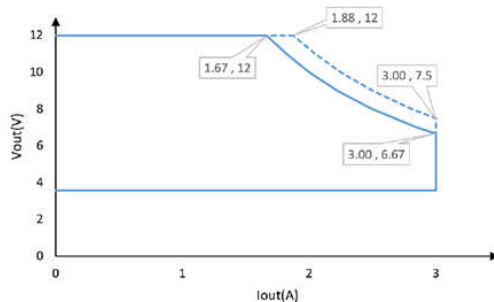
注 1：RPDO 为 20W/25W 时，USB-A 最大 18W，其他 USB-A 最大 25W。

注 2：RPDO 为 20W/25W 时，OCP 最大为 3.4A。

当 QC2.0/FCP/AFC/BC1.2 协议握手后，随着电流的增大，总功率（电压和电流的乘积）也在增大；当总功率大于 RPDO 设定最大功率值时，开始进行恒功率调节，即通过降低电压来满足总功率恒定不超过最大值；当电流最终超过 OCP 设定点，进行 OCP 的保护。

对于其它的协议，则按照功率设定恒定 OCP 过流值。超过设定值则进行 OCP 保护。

- 输出功率曲线，其中实线为 20W 功率输出规格，虚线区域为 22.5W 功率输出规格要求：



OCP 的保护机制为：当检测到过流之后，复位整个协议，断开协议连接保持最少 1s，到 1s 之后再重新检测，建立连接。

9.7 FB 分压电阻调节

AD18H01AC 集成 FB 控制接口，通过调节 FB 的电流来精确控制输出电压，应用电压范围 0~3.3V。在输出默认 5V 时，FB 引脚既不 SOURCE 电流，也不 SINK 电流。建议用户将默认 5V 调整至 5.1V 用于补偿，这样在默认的 5.1V，FB 引脚既不 SOURCE 电流，也不 SINK 电流。FB 引脚接在电源芯片的 FB 端，

FB 到 VOUT 之间的电阻应该选用高精度（1%）的 100Kohm 电阻，FB 到地之间的电阻需要依据电源芯片的特性进行选值，R2 的计算公式如下所示：

$$V_{FB} = \frac{V_{OUT}}{R1+R2} * R2$$

9.8 CC/DP/DM 保护

CC/DP/DM 的耐压为 24V，如果 CC1/CC2/DP/DM 任意端口电压误触 VBUS 电源，那么通过内部的保护机制即刻会断开 VBUS 的连接，保证充电设备的安全。

9.9 功率路径控制

AD18H01AC 通过 VBUSC 引脚控制 PMOS 的 Gate 端。从而进行功率路径的开启和关闭，当 CC 线上接入设备成功时打开，断开后关闭。

同时 AD18H01AC 内部集成了泄放电路，当需要电压快速泄放时，开启内部 400ohm 的下拉电阻。

9.10 过压保护

AD18H01AC 具备完善的过压电路保护机制，保护机制设置了多重电压保护点，当输出电压比协议允许最大电压高 2V 以上，MOS 的 Gate 管脚将会被持续拉高，关闭 MOS，直至输出电压正常，才会解除保护，时刻保证您的设备安全。

10 布板建议

10.1 选型

- PRDO 的电阻精度需求 1%，电阻尽量靠近芯片
- FB 电路，R1 电阻为 100K，R2 的电阻需求依据实际的电源电路确定，芯片在 5.1V 的情况下，既不 SINK 也不 SOURCE，要求在 5.1V+2%的范围内
- VDD 需要接电容，建议值为 10uF，耐压 25V
- 采样电阻限制为 10mohm（1%），温漂不大于 100ppm/°C，建议使用合金采样电阻。

10.2 布板建议

- 电流采样电阻的 CSN 和 CSP 脚直接连接采样电阻两 endpoint(等效 Kelvin contact)，CSN 勿通过地线连接采样电阻
- 电容尽量靠近 VDD 管脚
- CC 线布线尽量等长

11 参数

11.1 极限工作参数

11.1.1 AD18H01ACR16

参数	符号	值	单位
VDD/VSS 端口输入电压范围	VDD/VSS	3.3~24	V
VBUSC/VBUSA 端口输入电压范围	VBUSC/VBUSA	3.3~24	V
SRCG 端口输入电压范围	SRCG	3.3~28	V
DP/DM 端口输入电压范围	V_{DP} V_{DM}	3.3~28	V
CC1/CC2 端口输入电压范围	V_{CC1} V_{CC2}	3.3~28	V
GD2 端口输入电压范围	GD2	3.3~28	V
其它端口输入电压范围	-	3.3~5	V
结温范围	T_J	-40~150	°C
存储温度范围	T_{stg}	-60~150	°C
回流焊温度 (10sec)	T_S	260	°C
工作环境温度范围	T_A	-40~85	°C
人体模型 (HBM)	ESD	2	KV

*高于绝对最大额定值部分所列数值的应力有可能对器件造成永久性的损害，在任何绝对最大额定值条件下暴露的时间过长都有可能影响器件的可靠性和使用寿命

11.1.2 AD18H01ACQ16

参数	符号	值	单位
VDD 端口输入电压范围	VDD	3.3~24	V
VBUSC/VBUSA 端口输入电压范围	VBUSC/VBUSA	3.3~24	V
SRCG 端口输入电压范围	SRCG	0~28	V
DP/DM 端口输入电压范围	V_{DP} V_{DM}	0~28	V
CC1/CC2 端口输入电压范围	V_{CC1} V_{CC2}	0~28	V
GD2 端口输入电压范围	GD2	0~28	V
其它端口输入电压范围	-	0~5	V
结温范围	T_J	-40~150	°C
存储温度范围	T_{stg}	-60~150	°C
回流焊温度 (10sec)	T_S	260	°C
工作环境温度范围	T_A	-40~85	°C
人体模型 (HBM)	ESD	2	KV

*高于绝对最大额定值部分所列数值的应力有可能对器件造成永久性的损害，在任何绝对最大额定值条件下暴露的时间过长都有可能影响器件的可靠性和使用寿命

11.2 ESD 性能

符号	参数	值	单位
VESD	HBM	2K	V

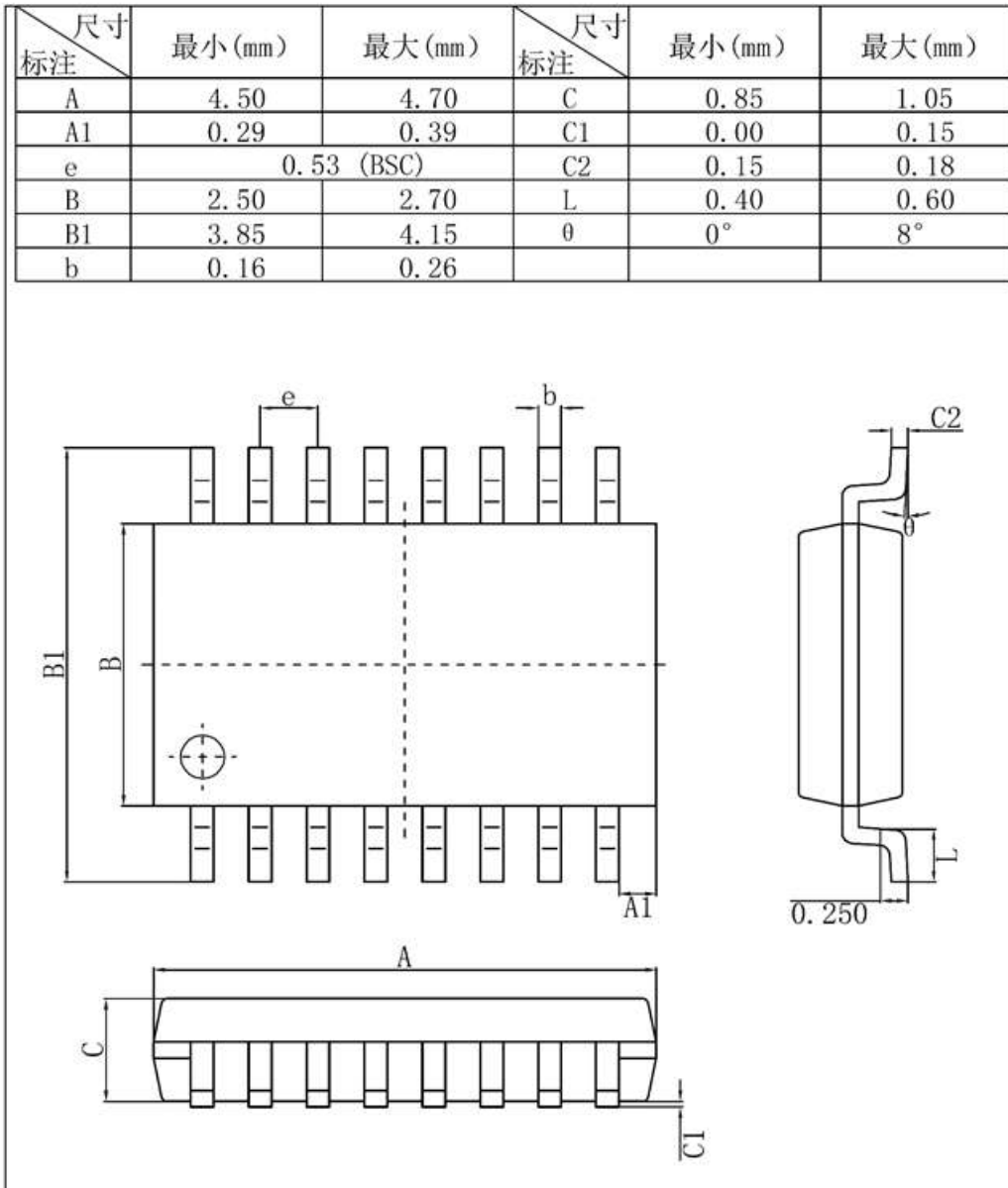
11.3 电气特性

参数	符号	测试条件	最小值	典型值	最大值	单位
输入工作电压	VIN	引脚直接加电压	3.3		24	V
输入欠压阈值	UVLO	VIN 下降沿		2.8		输入欠压阈值
典型工作电流				3		mA
VDD	VDD			5		V
TYPE-C特性						
R _{TX}	Output resistance	During transmission	33		75	
V _{TXHI}	Transmit HIGH			1.125		V
t _{UI}	Bit unit interval			3.3		us
t _{BMC}	Rise/fall time of BMC	Rload=5.1k, Cload=1nF	300			ns
I _{RP_SRC}	DFP CC termination for 0.5A Power		64	80	96	uA
	DFP CC termination for 1.5A Power		166	180	194	uA
	DFP CC termination for 3A Power		304	330	356	uA
OCP						
V _{ITRIP}		Ref to Power Capability		+20%		A
OVP						
V _{OVp}		Ref to target voltage		+1000		mV
HVDCP (QC2.0&QC3.0) 模式						
数据检测电压阈值	V _{DATA_REF}		0.25	0.325	0.4	V
DP 高 glitch 时间	T _{GLITCH(BC)_DP_H}		1000	1250	1500	ms
DM 低 glitch 时间	T _{GLITCH(BC)_DM_L}			2		ms
输出电压 glitch 时间	T _{GLITCH(V)_CHANGE}		20	40	60	ms
连续模式 glitch 时间	T _{GLITCH_CONT_CHANGE}		100		200	us
DM 下拉电阻	R _{DM_DOWN}	VDP=0.6V		20		kOhm
DP 下拉电阻	R _{DAT_LKG}	VDP=0.6V		500		kOhm
DCP模式						

参数	符号	测试条件	最小值	典型值	最大值	单位
Apple 2.4A DP/DM 输出电压			2.61	2.7	2.78	V
Apple 2.4A DP/DM 输出阻抗				30		kOhm
GPIO特性						
VIH	输入高电平		0.7VDD			V
VIL	输入低电平				0.3VDD	V
VOH	输出高电平			VDD		
VOL	输出低电平			GND		
Rpu	上拉电阻			30		kOhm
Rpd	下拉电阻			30		kOhm

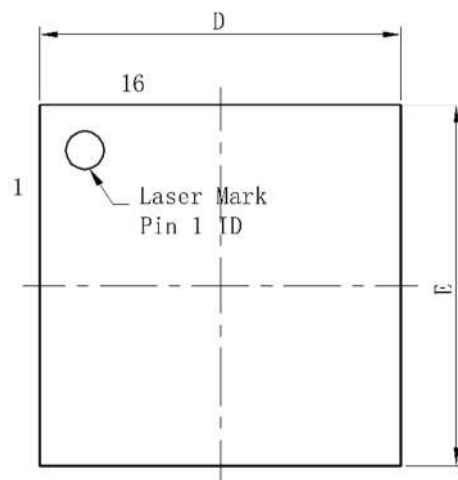
12 封装

12.1 CPC16(4.6X2.6X0.95-0.53)

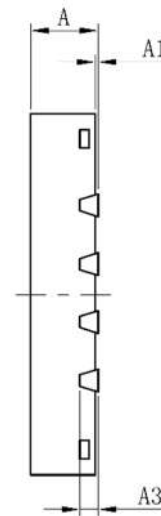


12.2 QFN16(04X04X0.75-0.65)

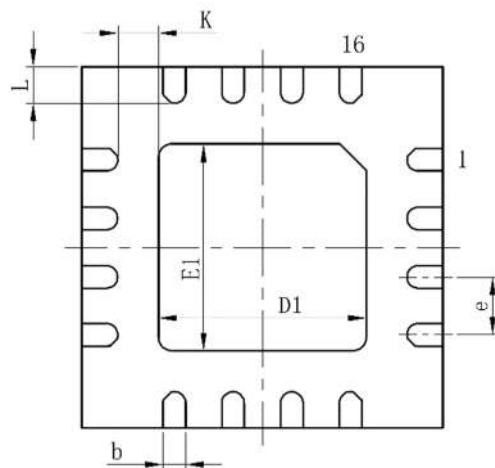
标注	尺寸	最小	AC	A+C	标准	最大	标注	尺寸	最小	标准	最大
A		0.70		0.75		0.80	D1		2.20	2.30	2.40
A1		0.00		—		0.05	E1		2.20	2.30	2.40
A3		0.203REF					e		0.65TYP		
b		0.20		0.25		0.30	K		0.20	—	—
D		3.90		4.00		4.10	L		0.30	0.40	0.50
E		3.90		4.00		4.10					



Top View



Side View



Bottom View